

基于 CMOS 集成有源传感器的 新型高能物理粒子轨迹追踪器

李 琰^{1,2}, Yavuz Degerli³, 纪 震¹

(1. 深圳大学计算机与软件学院德州仪器 DSPs 实验室, 广东深圳 518060; 2. 深圳大学传感器技术重点实验室(深圳大学), 广东深圳 518060; 3. CEA Saclay, IRFU/SEDI, 91191 Gif sur Yvette Cedx, France)

摘要: 本文研究了一个采用标准 0.35 μm CMOS 工艺制造的新型高能物理粒子轨迹追踪器. 这个新型的追踪器运用 CMOS 有源像素传感器技术(CMOS Monolithic Active Pixel Sensors, MAPS)将信号的探测与处理电路集成在一起, 在像素的内部实现了相关双采样操作(Correlated Doubled Sampling, CDS). 实验芯片包含一个 128 行 \times 32 列的像素矩阵, 其中, 像素的大小为 25 \times 25 μm^2 . 通过采用放射源⁵⁵Fe 的测定, 得到像素的等效输入随机噪声(Temporal Noise)仅为 12 个电子而固定噪声(Fixed Pattern Noise, FPN)仅为 4 个电子. 传感器的电荷-电压转换系数(Charge to Voltage conversion Factor, CVF)为 60 $\mu\text{V}/\text{e}^-$. 测试中, 芯片的信号读取速度达到了 12 $\mu\text{s}/\text{帧}$.

关键词: 高能物理粒子轨迹追踪器; CMOS 有源像素传感器; 相关双采样; 随机噪声; 固定噪声

中图分类号: TP212.9 **文献标识码:** A **文章编号:** 0372-2112(2009)07-1393-07

CMOS Active Pixel Sensors Based Detector for High Energy Particle Tracking

LI Yan^{1,2}, Yavuz Degerli³, JI Zhen¹

(1. TI DSPs Laboratory, College of Computer Science and Software Engineering, Shenzhen University, Shenzhen, Guangdong 518060, China;

2. Key Laboratory of Sensors Technology of Shenzhen, Shenzhen University, Shenzhen, Guangdong 518060, China;

3. CEA Saclay, IRFU/SEDI, 91191 Gif sur Yvette Cedex, France)

Abstract: Fabricated in a standard 0.35 μm CMOS process, a new type detector designed for high energy particle tracking was studied in this work. The detector is based on monolithic CMOS active pixel sensor (MAPS) technology. Using standard CMOS process, signal processing circuits are integrated on the same substrate as the sensors and correlated double sampling (CDS) operation is realized inside pixel. The prototype consists of a 128 \times 32 pixel array and pixel pitch is 25 \times 25 square of micrometer. Measured by a radioactive source⁵⁵Fe, the temporal noise is only about 12 electrons and the residual offset is only about 4 electrons. The charge to voltage conversion factor (CVF) is about 60 $\mu\text{V}/\text{e}^-$. During the tests, readout speed reaches 12 $\mu\text{s}/\text{frame}$.

Key words: high energy particle tracking detector; CMOS active pixel sensors; correlated double sampling; temporal noise; fixed pattern noise

1 引言

现代的高能物理实验需要更高性能的粒子轨迹追踪器. 新一代的轨迹追踪器需要同时满足分辨率高、厚度薄、体积小、集成度高、快速读取、抗辐射性能好、低噪声以及低功耗等各项性能指标. 对于正在筹建中的下一代国际线性电子对撞机(International Linear Collider, ILC)来说, 它的顶点探测器就需要达到 5 μm 的探测精度, 将会总共包含约 3 亿像素. 这个顶点探测器最里层的半径仅有 15 mm ^[1]. 为了从海量的原始数据(ILC 的顶点探测器的原始数据传输速度将会达到 75GB/s^[2])中智能的

挑选出物理学家需要的数据, 新一代轨迹追踪器还必须具备相应的数据处理能力. 这就要求相关的信号处理电路必须与探测器集成到一起, 在海量的原始数据中进行筛选, 只把物理学家所关心的数据送到外部的储存设备从而降低后继数据处理过程的负担.

早在 1960 年就被提出的 CMOS 传感器^[3]近年来随着 CMOS 制造工艺的不断进展, 性能得到了非常大的提高. 随着微米、亚微米技术的实现, 像素的尺寸不断的减小, 分辨率不断提高. 另外, 现代的集成有源像素传感器(Monolithic Active Pixel Sensor, MAPS)允许在像素内部集成有源晶体管构成相应的信号处理电路, 从而大大的增

收稿日期: 2005-10-31; 修回日期: 2008-08-29

基金项目: 国家自然科学基金(No. 60572100); 美国德州仪器公司创新基金和深圳市科技项目(No. 200706); 深圳大学科研基金面上项目(No. 801000007); 深圳市传感器实验室开放基金(No. SSI200914)

强了传感器的信噪比、提高了传感器的灵敏度. 最为重要的一点是, 现代的 CMOS 生产工艺允许把完整的信号采集、转化以及处理电路与传感器集成在同一个衬底上面, 在提高系统性能的同时显著降低了系统的功耗和成本.

根据 CMOS 传感器的这些特性, 90 年代末以来, 以 CMOS 传感器为基础来实现新一代高能粒子轨迹追踪器的研究逐渐开展起来. 自 1999 年来, 法国 IPHC 实验室研制的系列实验芯片验证了以 CMOS 传感器技术实现高能粒子轨迹追踪的可能性^[4,5]. 实验芯片的像素采用三个晶体管的基本结构, 信号通过读取缓冲器输出, 采用离线软件处理的方式实现对信号的相关双采样 (Correlated Double Sampling, CDS) 分析. 实验结果表明^[5], 实验芯片的最小等效输入随机噪声 (temporal noise) 低于 10 个电子, 对于高能粒子射线的探测率达到了 99.3%, 分辨率最高达到了 1.7 μm . 设计出具备自动数据处理功能的高速 CMOS 传感器就成为下一步的目标. 考虑到高能粒子所产生的输入信号的幅度很小 (毫伏量级, 与 CMOS 器件的输入固定噪声大小相当), 要实现具有自动处理数据能力的探测器就要求所设计的传感器必需可以自动的抑制输入固定噪声 (Fixed Pattern Noise, FPN). 为此, 相关双采样技术必须要集成到传感器像素的设计当中. 基于以上考虑, 法国的 IRFU/CEA Saclay 实验室在 2004 年设计成功了一款采用标准 0.25 μm CMOS 工艺的芯片 MIMOSA 8 (HiMAPS 1)^[6], 率先在像素内部实现了自动相关双采样技术, 在提高像素读取速度的同时大幅地提高了系统的性能^[7,8]: 信号读取速度达到了 20 μs /帧, 测得的随机噪声仅为 15 个电子, 固定噪声小于 10 个电子, 获得了高于 80% 的电荷采集效率 (Charge Collection Efficiency, CCE) 以及大于 98% 的高能粒子射线探测率. 然而, 由于所采用 CMOS 工艺外延生长层 (epitaxial layer) 的厚度据估算仅为 6.5 μm , 限制了高能粒子射线穿过时所产生的自由电子数量, 从而影响了传感器最终采集到的信号的大小与空间分辨率的精度 (仅为 7 μm). 因此, 新的实验芯片选择了一种外延生长层厚度为 20 μm 的 CMOS 工艺来设计, 基本保留了 MIMOSA 8 的结构并且对于电路的参数做了必要的修改. 以期在保持系统性能的前提下, 提高粒子射线穿过时传感器采集到信号的幅度, 从而提高传感器芯片的整体性能.

2 芯片结构

2.1 像素结构

90 年代以来, CMOS 传感器对于光子的探测、成像技术日趋成熟, 提出了多种可以有效地抑制噪声的新型电路结构^[9-12]. 其中, 文献[9]所介绍的像素结构通

过只加入一个串联电容的简单电路结构实现了 CDS 操作, 有效地消除了由于像素内部晶体管参数的漂移所带来的输入固定噪声以及抑制了由于电路中开关的开合产生的复位噪声, 从而可以用于实现微弱信号的检测. 结合粒子射线在 CMOS 内所产生的信号的特点以及新一代的轨迹追踪器需要快速读取数据的要求, 文献[6]修改了文献[9]提出的像素结构, 优化了它对于高能粒子轨迹检测的性能以及像素信息读取的速度. 修改后的像素结构与相应的控制信号如图 1 所示.

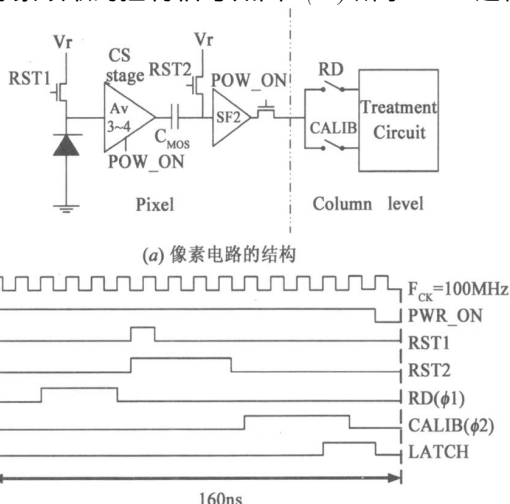
为了避免电荷的藕合传递对读取速度的影响, 文献[9]中所采用的 Photo-gate 型探测单元被 Photodiode 型的探测单元所取代, 如图 1(a) 所示. 一个电压增益为 3~4 的共源电压放大器 (Common Source stage) 被安置在探测单元的输出节点上, 及时地放大探测到的信号, 提高了信号的抗干扰能力. 在像素矩阵的列处理电路上增加了一个控制信号 CALIB 用于存储像素信号输出路径上的复位电位, 做为探测到信号的参考电位从而起到抑制总线噪声的作用. 增加了一个像素内部的行公共控制信号 PWR_ON 用于控制一行上像素的供电. 在积分状态时可以切断像素的电源, 从而大大地降低芯片的静态功耗.

像素的电荷-电压转换系数与信号输出点上二极管的等效电容成反比:

$$CVF = \frac{qA_1}{C_{fd}} \quad (1)$$

其中, q 是像素采集到的由入射信号所产生的自由电荷, A_1 是信号在像素内部的电压增益系数, C_{fd} 是信号输出点的等效电容分为二极管的等效电容和在输出节点上的等效寄生电容.

像素读取的控制信号如图 1(b) 所示. CDS 过程通



(b) 像素电路的控制信号: 单个像素的读取时间仅为 160 ns

图 1 可用于高能物理粒子探测的 (a) 像素结构以及 (b) 像素电路的控制信号

过串联电容 C_{MOS} 实现, 工作原理如下:

当电路复位的时候, 两个开关 RST1 和 RST2 关闭, 此时共源电压放大器输入端的信号为放大器的固定噪声 ($V_{gf, CS}$) 以及探测单元的参考电位 (V_r). 这个信号乘以放大器的放大倍数后被存储在串联电容 C_{MOS} 中. 另外, 由于 RST1 比 RST2 先开启, RST1 的复位噪声也会存储到 C_{MOS} 中. 复位结束后 RST1 和 RST2 开启, 像素进入积分状态, 探测到的信号以电荷的方式在反向偏置的二极管上积累. 等到积分状态结束, RD 信号有效时, 探测到的信号将会与 $V_{gf, CS}$ 和 V_r 一起读出. 由于串联电容上已经存储了 $V_{gf, CS}$ 和 V_r 的值, 因此将会与随探测信号一起读出的 $V_{gf, CS}$ 和 V_r 互相抵消. RD 信号有效时串联电容上的电压变化为:

$$\begin{aligned} & A (V_{sig} + V_r + V_{gf, CS} + V_{thm, RST1}) \\ & - (A (V_r + V_{gf, CS} + V_{thm, RST1} + V_{thm, RST2})) \\ & = A (V_{sig} - V_{thm, RST2}) \end{aligned} \quad (2)$$

其中, A 为共源电压放大器的电压增益, V_{sig} 为入射信号所产生的电压, V_r 为电路复位后的参考电压, $V_{gf, CS}$ 为共源电压放大器的固定噪声, $V_{thm, RST1}$ 和 $V_{thm, RST2}$ 分别为开关 RST1 和 RST2 的复位噪声.

由式(2)的分析可以看出, 图 1 中的电路结构通过采用一个串联电容, 实现了像素内部的自动相关双次采样. 存储在串联电容上的信息仅为采集到的信号以及开关 RST2 的复位噪声的差值:

$$V_{Cmos} = A (V_{sig} - V_{thm, RST2}) \quad (3)$$

共源电压放大器的固定噪声以及开关 RST1 的复位噪声已经被很好的消除了.

残留下来的开关 RST2 的复位噪声是一种白噪声^[13], 它的大小与串联电容的取值有关:

$$V_{thm, RST2} = \sqrt{\frac{KT}{C_{MOS}}} \quad (4)$$

其中, K 是波尔兹曼常数, T 是芯片工作环境的绝对温度.

通常来说, 串联电容 C_{MOS} 都会采用一个比较大的值(几百个 fF 左右, $1\text{fF} = 10^{-15}\text{F}$, 用于抑制开关 RST2 开合时所产生的毛刺噪声), 因此 $V_{thm, RST2}$ 的值对于信号的影响一般可以忽略不计.

所需要注意的是由于 PWR_ON 信号在像素进入积分状态时会被切断, 因此像素的 $1/f$ 噪声没有消除. 不过对于高读取速度的应用来说(工作频率大于 1MHz), 影响可以忽略不计.

像素复位后的参考电位由 CALIB 信号读出, 送往列处理电路, 用于消除源极跟随器 SF2 以及总线的固定噪声.

由图 1(b) 可见, 读取每一个像素需要用 16 个时钟

周期. 当芯片的工作时钟为 100MHz 时, 所需的时间仅为 160ns .

2.2 列处理电路

列处理电路由一个具有自动抑制输入失调电压功能的高速比较器^[14] 以及并行-串行数据转化等逻辑部件组成. 比较器与像素完全同步工作. 通过 RD 和 CALIB 读出的探测信号和相应的参考电位在送入比较器后将会自动相减以除掉固定噪声的干扰. 在得出探测信号的实际大小后, 再根据比较器阈值电压的大小, 将其转化为一位(1 或 0) 的数字信号. LATCH 信号用于控制比较器的一位数字信号的输出.

2.3 实验芯片的结构

新的实验芯片采用外延生长层厚度为 $20\mu\text{m}$ 的标准 CMOS $0.35\mu\text{m}$ 工艺制造. 芯片含有一个 128 行 \times 32 列的像素矩阵, 分为四个 32×32 的子像素矩阵, 分别称为 S1, S2, S3 和 S4. 像素的大小为 $25 \times 25\mu\text{m}^2$. S1, S2 和 S3 中的像素均采用了图 1(a) 中所描述的电路结构. S1 中反置二极管的大小为 $1.7 \times 1.7\mu\text{m}^2$. S2 和 S3 中反置二极管的大小均为 $2.4 \times 2.4\mu\text{m}^2$. S3 的版图(layout) 设计采用了抗辐射技术, 在探测单元的周围加了一圈保护结构(guard ring structure). S4 由法国斯特拉斯堡的 IPHC 实验室设计, 采用了一种新型的自动偏置(self biased) 的探测单元结构. S4 的工作原理以及性能, 可以参考文献[15]. 像素矩阵信号的输出如下安排: 8 列输出直接连接在输出缓冲器上, 将探测到的模拟信号直接输出, 用作像素技术指标的测定; 另外的 24 列输出都在每列的末端分别连接由高速比较器以及必要的逻辑单元组成的列信号处理电路, 根据所设定的阈值电压的大小将像素输出的模拟信号转化为一位数字信号. 24 路数字信号再通过移位寄存器编码后分作 4 路串行输出. 整个芯片的所需的控制信号是由集成在芯片上的逻辑

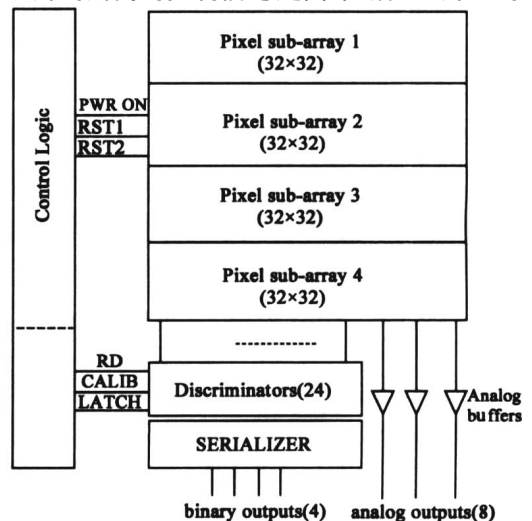


图2 实验芯片的结构图

控制器提供. 逻辑控制器的初始化阶段由 PC 机通过并行口编程实现. 初始化后, 芯片即可独立运行, 所需的一切控制信号由逻辑控制器提供.

图 2 给出了实验芯片的结构图, 芯片各个部分的组成如图中所示.

3 芯片技术参数的测量

为了精确的测定芯片的各项参数, 芯片的测量采用了一个基于 USB2.0 接口的数据采集系统^[16]. 信号采集的控制由安装的 XILINX Virtex II FPGA 实现. 可以同时并行的 4 路模拟输入信号进行抽样与量化, 分别转换为 12 位的数字信号. 然后通过 USB2.0 接口将数字信号传输并储存到电脑中, 采用专门的数据分析软件对实验数据进行处理.

3.1 像素特性的测量

做为衡量芯片性能的基本标准, 像素的电荷-电压转换系数(CVF)、电荷采集效率(CCE)以及等效输入噪声等参数分别在不同的芯片工作时钟下进行了测量.

做为像素的最基本性能指标, 电荷-电压转换系数 CVF 标志着像素把采集到的电荷转换为电压的能力. 借助于放射源⁵⁵Fe, CVF 的大小得以确定. 常温下, 每一个⁵⁵Fe 所发出的 X 光子(5.9KeV 能级)在芯片的外延层中可以产生约 1640 个自由的电子-空穴对. 当像素工作于积分状态时, 由于像素中二极管 PN 结内建电场的作用, X 光子在外延层中产生的自由电子将会被像素中的二极管采集. 当由一个 X 光子产生的所有自由电子都被唯一的一个像素所收集时, 测量像素输出节点的电压, 就可以计算出像素的 CVF:

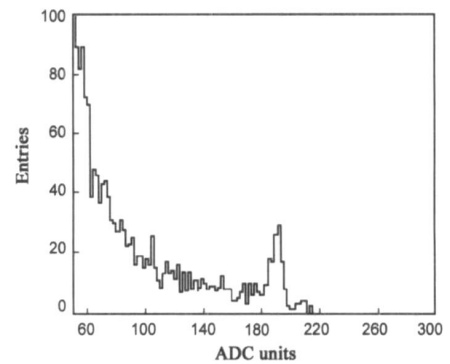
$$CVF(\mu V/e^-) = \frac{V_{Calib_Peak}}{1640e^-} \quad (5)$$

其中 V_{Calib_Peak} 为单个像素输出信号的最大值.

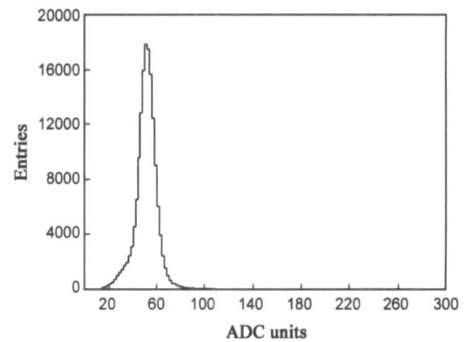
在采集自由电荷的过程中, 由于像素内部用来进行电荷采集的二极管的面积非常小(相对于像素的总面积), 因此, X 光子产生的所有自由电荷被唯一的一个二极管采集到的情况将会非常的少见. 更普遍的情况则是产生的自由电荷扩散到相邻的像素中去, 因此需要研究相邻像素所采集到的电荷量. 电荷采集效率 CCE 就是相邻像素采集到的电荷量与产生的总电荷量的比值. 由于数据采集装置的限制(只有 4 路模拟并行输入), 本文只对相邻的 3×3 像素的 CCE 进行了研究.

图 3 给出了当芯片的工作频率为 100MHz 时对于子像素矩阵 S2 中像素输出信号分析后所得到的统计直方图. 总共对两百万个样本进行了分析. 其中图 3(a) 对应于单个像素的输出信号, 图 3(b) 对应于相邻的 3×3 像素的输出信号之和. 图 3 中, 纵坐标表示了统计的数

量, 横坐标表示了像素输出信号的幅度值(1ADC unit 等于 0.5mV).



(a) 子像素矩阵 S2 中单个像素输出信号的统计直方图



(b) 子像素矩阵 S2 中 3×3 相邻像素输出总信号的统计直方图

图 3 工作频率为 100 MHz 时子像素矩阵 S2 中 (a) 单个像素输出以及 (b) 3×3 相邻像素输出信号的统计直方图

在图 3(a) 中可以观察到单个像素所采集到的信号在 190 ADC units 处有一个清晰的峰, 没有任何的信号输出值大于 220 ADC units. 这说明⁵⁵Fe 所发出的具有 5.9KeV 能量的 X 光子(24.4% 的发射率)产生的全部自由电子被单个像素采集到时相应的最大输出信号为 190 ADC units. 图 3(a) 中低于这个最大输出值的情况表明单个像素只采集到了部分自由电子. 相应的, 高于这个值的情况则对应于单个像素所采集到的自由电子是由⁵⁵Fe 发出的具有 6.4KeV 能量的 X 光子(2.8% 的发射率)产生的. 通过分析单个像素输出信号统计直方图, 根据式(5), 可以计算出子像素矩阵 S1、S2 和 S3 中像素的 CVF 值, 结果归纳在表 1 中:

表 1 工作频率为 100MHz 时子像素矩阵 S1、S2 和 S3 的 CVF 值

子像素矩阵	S1	S2	S3
CVF($\mu V/e^-$)	67	60	53

由式(1), CVF 与信号输出点上的等效电容成反比, 所以子像素矩阵 S1 中的像素具有最高的 CVF 值. 虽然子像素矩阵 S2 与 S3 中像素内部反偏二极管的面积一样, 但是由于子像素矩阵 S3 中像素的设计采用了 guard ring 的保护结构, 等效电容比子像素矩阵 S2 中的像素的略大, 所以 S3 中像素的 CVF 略小.

图 3(b) 是相邻的 3×3 像素输出信号之和的统计信息. 在 50 ADC units 处有一个清晰的峰值. 表明对大部分样本来说, 相邻的 3×3 像素采集到的信号之和为 50 ADC units. 因为图 3(a) 给出了 X 光子产生的所有自由电子对应的信号峰值, 所以这两个峰值的比就是相邻 3×3 像素的电荷采集效率 CCE. 不同子像素矩阵的电荷采集效率的归纳在表 2 中:

表 2 工作频率为 100MHz 时子像素矩阵 S1、S2 和 S3 中相邻的 3×3 像素的 CCE 值

子像素矩阵	S1	S2	S3
CCE	5%	26%	29%

电荷采集的效率与像素内反置二极管单元面积的大小成正比. 其中, 单元面积最小的子像素矩阵 S1 的 CCE 最小, 仅为 5%. 而采用了相同面积反置二极管的子像素矩阵 S2 和 S3 有相似的 CCE, 分别为 23% (S2) 和 24% (S3). 它们之间的差别来源于子像素矩阵 S3 中像素的 guardring 结构, 使得等效节点电容比 S2 中像素的略大.

在不同的工作频率下对各个子像素矩阵的 CVF 与 CCE 的值进行了测量. 测量时的最高工作频率达到了 170MHz, 对应于 $12\mu\text{s}/\text{帧}$ 的读取速度. 对于测量结果的分析显示 CVF 的大小不随工作频率的变化而改变. 在不同频率下测量得到的 CCE 归纳在表 3 中.

表 3 不同工作频率下子像素矩阵 S1、S2 和 S3 中相邻 3×3 像素的 CCE 值

工作频率	子像素矩阵	S1	S2	S3
50		6%	26%	28%
100		5%	26%	29%
170		6%	23%	27%

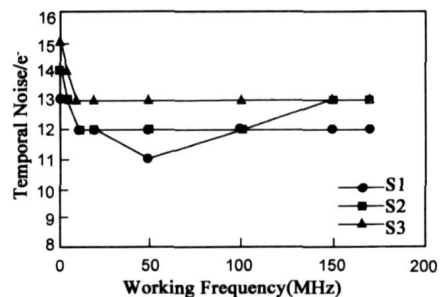
由表 3 结果可见, 所有的子像素矩阵的电荷采集效率都十分稳定, 不随芯片工作频率的改变而变化. 这个结果说明像素电路结构的性能非常稳定, 可以支持高达 $12\mu\text{s}/\text{帧}$ 的高读取速度.

对照 MIMOSA 8 所得到的结果 (CCE 高于 80%^[7,8]), 新实验芯片的 CCE 值偏低. 一个原因是由于数据采集装置的限制这里只研究了相邻的 3×3 像素所采集到的信号(文献[7,8]中采用了不同的数据采集设备, 研究的是相邻的 5×5 像素所采集到的信号并以之计算 CCE 的值). 另一个可能的主要原因则是以上的电荷采集效率是通过 ^{55}Fe 所发出的 X 光子测定的. 由于这种光子的能量只有 5.9KeV, 它们并不能穿透传感器单元, 而只是在传感器的外延生长层中产生固定数目的自由电子. 相对于 MIMOSA 8, 新实验芯片采用的 CMOS 工艺具有厚的多的外延生长层, 因此, X 光子产生的自由电子将会扩散在一个更大的范围中(远大于 3×3 像

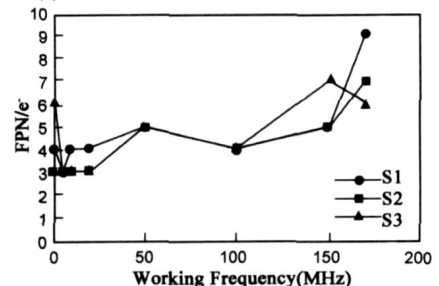
素的范围), 从而使得实验中根据相邻的 3×3 像素所采集到的信号计算出的 CCE 值偏低. 这一点有待于借助模拟来进行验证. 然而, 由于高能粒子射线将会穿透传感器单元, 所产生自由电荷将会集中在射线所经的路径上, 并且它们的数量与外延生长层的厚度成正比(约 $80\text{e}^-/\mu\text{m}$). 因此, 对于具有高能物理粒子射线来说, 厚外延生长层而造成的低 CCE 值不一定会影响最终采集到的信号的大小. 因此, 电荷采集效率对于传感器最终采集到的信号幅度以及空间分辨率的影响, 还需要通过采用具有高能物理粒子射线来测定 (beam test).

作为决定像素性能的一个重要指标, 像素的等效输入噪声也在不同的工作频率下进行了测量. 对于 CMOS 传感器来说, 噪声一般可以分为不随时间变化的随机噪声以及固定噪声两种. 随机噪声由晶体管内部 PN 结上的散粒噪声 (shot noise), 热噪声以及 $1/f$ 噪声等组成. 电路随机噪声的大小决定了电路可以处理的信号的强弱. 固定噪声产生于电路中所采用的晶体管之间参数 (MOS 管的阈值电压 V_{th} , 跨导 g_m 等) 的差异. 对于 CMOS 传感器来说, 它的大小标志着像素矩阵中不同像素间输出的参考电位的变化程度, 决定了芯片级的自动信号处理的成功与否.

不同工作频率下像素的随机噪声和固定噪声的测量值归纳在图 4 中.



(a) 不同工作主频下输入端口的等效固定噪声



(b) 不同工作主频下输入端口的等效固定噪声

图 4 实验芯片在不同工作频率下的等效输入噪声:(a)随机噪声,(b)固定噪声

由图 4 的结果可以看出, 芯片的噪声得到了很好的控制, 在工作频率小于 100 MHz 时(芯片的设计频率), 基本不随工作频率的改变而变化, 等效随机噪声的值

约为 12 个电子, 等效固定噪声小于 6 个电子. 由图 4 (a) 可以观察到, 随机噪声的值当工作频率低于 1MHz 时明显增大, 随着工作频率的升高逐渐降低并趋于平稳(12 个电子左右). 这种变化的主要原因是像素的工作过程中没有对 $1/f$ 噪声进行处理, 所以当芯片工作频率降低的时候, $1/f$ 噪声的影响逐渐增大. 由图 4 (b) 可以观察到, 当工作频率超出芯片的设计频率时, 固定噪声显著的增大. 这个现象的主要原因是串联电容上对信号采样的时间随着工作频率的升高而减小. 当实际工作频率超过了设计频率的时候, 信号在被外电路读出的时候没有完全稳定下来. 因此, 影响到了芯片自动消除固定噪声的性能. 对比图 4 (a) 和 (b) 的结果, 在所有测试的频率下, 固定噪声都小于随机噪声, 并且, 对于芯片的设计工作频率来说, 输出的随机噪声为 $12 \times 60\mu\text{V}/e^- = 720\mu\text{V}$, 输出的固定噪声仅为 $4 \times 60\mu\text{V}/e^- = 240\mu\text{V}$. 对比文献[6~8]中 MIMOSA 8 的测量结果, 可以看出即使采用不同的 CMOS 工艺, 图 1 (a) 中所示的电路结构均能够稳定的工作, 在保持高读取速度的情况下非常有效的实现对于噪声的抑制. 因此, 这个电路结构可以做为下一步工作的基础, 用来实现具有自动处理采集到的信号功能的智能 CMOS 高速传感芯片.

3.2 列信号处理电路性能的测量

在像素矩阵没有输入信号的情况下, 对于相应的列信号处理电路的输出特性曲线进行了测量. 由于数据采集系统读取速度的限制, 测量的最高工作频率为 40MHz. 输出特性曲线中横坐标的值为列信号处理电路中比较器的阈值电压. 对于每一个阈值电压, 测量一千个不同的样本. 样本中“1”的个数与一千的比值作为相应的纵坐标. 理想情况下, 输出特性曲线应当是一条从“1”到“0”跳变的折线. 当阈值电压等于 0 时发生跳变并且折线的斜率为无穷大. 然而由于噪声的影响, 当阈值电压大于 0 时列信号处理电路的输出会有随机的“1”出现. 同理, 当阈值电压小于 0 时会有随机的“0”出现. 因此, 实际所得到的曲线的斜率为一有限值, 反映了在相应的阈值电压下随机噪声对于电路性能的影响. 测量的结果如图 5 所示.

图 5 中的每一根曲线代表着一个像素整个信号传输路径 (像素与相应的列信号处理电路) 的输出特性. 因此, 曲线之间的偏差反映了不同像素间在整个信号传输、处理过程中产生的 FPN 的大小. 由图 5 可见, FPN 的值约为 $0.2\text{mV}_{\text{rms}}$. 曲线的斜率反映了随机噪声的大小, 约为 $0.8\text{mV}_{\text{rms}}$. 这个结果与前面得到的像素特性一致, 表明了运用在列信号处理电路中的噪声处理技术十分成功, 列信号处理电路没有给传输中的信号附加多余的噪声.

图 5 中的特性曲线簇相对于阈值电压为 0 的点向

右端有一个平移量, 大小为 1mV 左右. 这个值作为整个系统的固定偏差, 可以通过设置相应的参考电位予以消除.

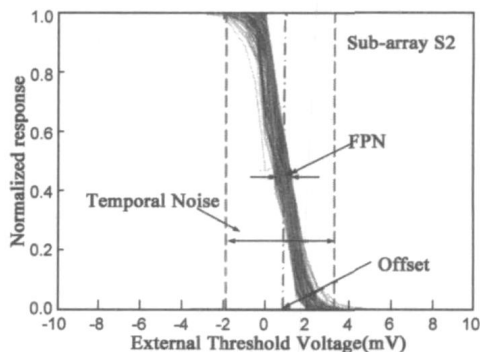


图5 工作频率为40 MHz时, 列信号处理电路的输出特性曲线

从输出特性曲线还可以得到列信号处理电路正确工作时应设置的最小阈值电压. 这个值决定了列信号处理电路从噪声中能够正确识别的最小输出信号. 由图 5 可知, 最小阈值电压约为 3mV (去掉系统固定偏差的大小).

4 结论

本文研究了一个新型的可以用于检测高能粒子轨迹的传感器芯片. 芯片由标准的 CMOS $0.35\mu\text{m}$ 技术设计, 通过像素内部相关双采样技术的采用, 成功地抑制了像素的输入噪声, 为实现具备自动处理采集到的模拟信号功能的新型高速、低噪声粒子轨迹追踪器打下了基础. 芯片像素矩阵的特性通过放射源 ^{55}Fe 进行了测定. 在不同的工作频率下芯片的性能十分稳定, 最高的读取速度达到了 $12\mu\text{s}/\text{帧}$ ($128\text{行} \times 32\text{列}$).

芯片的列信号处理电路工作正常. 可以实现模拟信号到一位数字信号的转换. 以此为基础, 可以进一步的实现具有更复杂信号处理功能的电路.

实验芯片对于高能粒子射线的探测率、空间分辨率以及抗辐射性能等参数还需要进一步测定.

参考文献:

- [1] M Winter. Development of CMOS sensors adapted to the vertex detector requirements[R]. Bangalore, India. International Linear Collider Workshop 2006.
- [2] M Winter. Data rate of a vertex detector made of CMOS pixel sensors[R]. Hamburg, Germany. International Linear Collider Workshop 2007.
- [3] M Bigas et al. Review of CMOS image sensors[J]. Microelectronics Journal, 2006, 37(5): 433-451.
- [4] G Depth et al. Design and testing of monolithic active pixel sensors for charged particle tracking[J]. IEEE Trans. Nucl. Sci., 2002, 49: 601-610.

- [5] G Deptch et al. Development of monolithic active pixel sensors for charged particle tracking[J]. Nucl. Instrum. Meth. A, 2003, 511: 240– 249.
- [6] Y Degerli et al. A fast monolithic active pixel sensor with pixel level reset noise suppression and binary outputs for charged particle detection[J]. IEEE Tran. Nucl. Sci., 2005, 52(6): 3186– 3193.
- [7] Y Li et al. CMOS sensors for the vertex detector of the future international linear collider[J]. Nucl. Instrum. Meth. A, 2007, 572(1): 300– 304.
- [8] Y Degerli et al. Performance of a fast binary readout CMOS active pixel sensor chip designed for charged particle detection [J]. IEEE Tran. Nucl. Sci., 2006, 53(6): 3949– 3955.
- [9] R Merrill. Intra pixel reset noise cancellation[A]. Proc. 2001 IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors[C]. Lake Tahoe, Nevada, USA, 2001. 153– 156.
- [10] I Takayanagi et al. A four transistor capacitive feedback reset active pixel and its reset noise reduction capability[A]. Proc. 2001 IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors[C]. Lake Tahoe, Nevada, USA, 2001. 118– 122.
- [11] L J Kozlowski and D L Standley. Compact low noise active pixel sensor with progressive row reset: USA No. WO9953683 [P]. Ocyt. 1999.
- [12] B Fowler et al. Low noise readout using active reset for CMOS APS[A]. Proc. of SPIE[C]. San Jose, CA, 2000, 3965: 126– 135.
- [13] H Tian, B Fowler and A El Gamal. Analysis of temporal noise in CMOS photodiode active pixel sensor[J]. IEEE J. Solid State Circuits, 2001, 36(1): 2– 101.
- [14] Y Degerli, N Fourches, M Rouger, and P Lutz. Low-power auto zeroed high speed comparator for the readout chain of a CMOS monolithic active pixel sensor based vertex detector [J]. IEEE Trans. Nucl. Sci., 2003, 50(5): 1709– 1717.
- [15] A Dorokhov et al. Optimization of amplifiers for monolithic active pixel sensors[A]. Topical Workshop on Electronics for

Particle Physics (TWEPP) [C]. Prague, Czech Republic, 3– 7 Sept. 2007.

- [16] G Claus, et al. A portable system for monolithic active pixel sensors characterization[Z]. IEEE NSS Conference Record, Rome, Italy, 2004: 1512

作者简介:



李 琰 男, 1978 年 7 月生于兰州. 2001 年毕业于中国科学技术大学电子工程与信息科学系, 获得学士学位. 2003 在法国国家应用科学学院 (The Institut National des Sciences Appliquées, Toulouse, France) 获得硕士学位并在毕业后加入了法国 Commissariat à l'Énergie Atomique (CEA), Saclay 的 CMOS 传感器研究组. 2007 年在法国巴黎第十一大学 (The Université Paris Sud 11) 获得博士学位. 现就职于深圳大学德州仪器 DSPs 实验室, 主要研究方向为 CMOS 图像传感器, 高速 ADC 以及低功耗低噪声的混合信号电路.

E mail: liyan@szu.edu.cn

Yavuz Degerli was born in Kayseri, Turkey. He received the B. Sc. and M. Sc. degrees in electronic engineering from Erciyes University, Kayseri, and the PhD. degree in integrated circuit design from Ecole Nationale Supérieure de l'Aéronautique et de l'Espace (SUPAERO), Toulouse, France, in 2000. He has been with the Commissariat à l'Énergie Atomique (CEA), Saclay, France, since 2001. His research areas are CMOS image sensors and mixed mode integrated circuits for high energy physics experiments.

E mail: yavuz.degerli@cea.fr



纪 震 (通信作者) 男, 1973 年 8 月出生江苏省溧阳市, 工学博士, 2004 年晋升教授, 现为信号与信息处理专业博士生导师. 主要研究方向: 智能计算, 图像处理, 数字水印以及数字信号处理硬件系统.

E mail: jizhen@szu.edu.cn